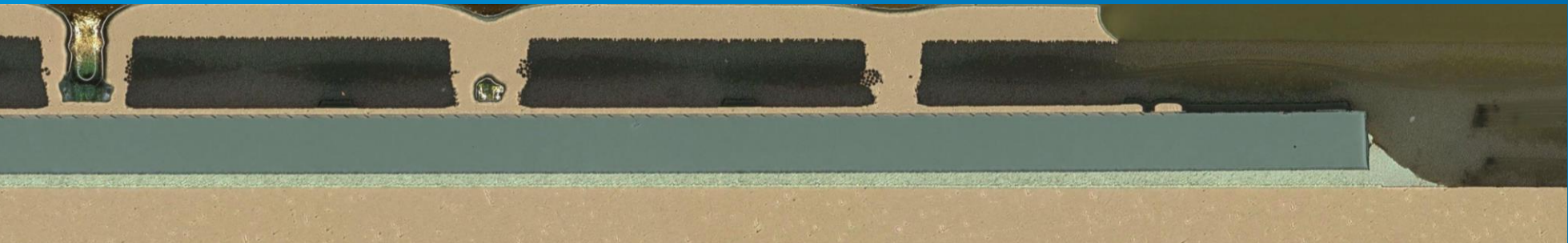




Leiterplattenembedding von Leistungshalbleiterbauelementen Stand der Technik und aktuelle Herausforderungen

Till Huesgen, Ankit Bhushan Sharma, Vladimir Polezhaev,
Labor für Elektronikintegration, Hochschule Kempten

Symposium Elektronik und Systemintegration (ESI 2022), Landshut, 6.4.2022



Agenda



Einführung



Stand der Technik



Herausforderungen



**Zusammenfassung
und Ausblick**

Agenda



Einführung



Stand der Technik



Herausforderungen

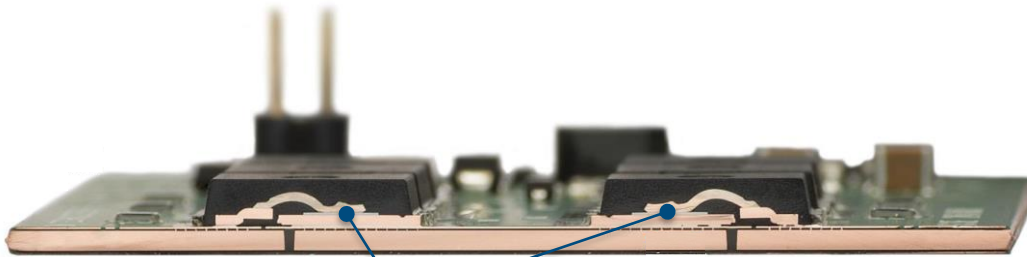


**Zusammenfassung
und Ausblick**

Einführung

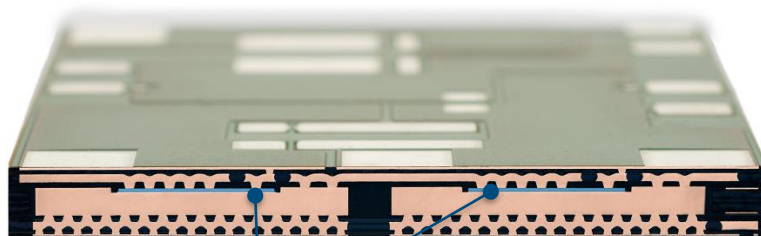
Leiterplattenembedding in der Leistungselektronik

Konventionelle Leistungselektronik



Leistungshalbleiter in Gehäuse verpackt und auf der Leiterplatte montiert

Embedding-Technologie



Leistungshalbleiter als „bare die“ in Leiterplatte eingebettet

- **Miniaturisierung, da Gehäuse und Kontakte entfallen**
- **Kürzere Strompfade**
 - Reduziere parasitäre Widerstände und Induktivitäten
 - Geringere Schalt- und Durchlassverluste
- **Verbesserte Entwärmung**
 - Höhere Stromtragfähigkeit
 - Höhere Lastwechselfestigkeit
- **Potential zur kostengünstigen Herstellung auf Panelebene**

[Abbildungen: Schweizer Electronic AG, Schramberg]

Agenda



Einführung



Stand der Technik

- Fertigungsverfahren
- Anwendungsbeispiele



Herausforderungen



Zusammenfassung
und Ausblick

Technologie Basisprozess

Prozessfolge in Anlehnung an
EP1 230 680 B1 (16.11.1999)

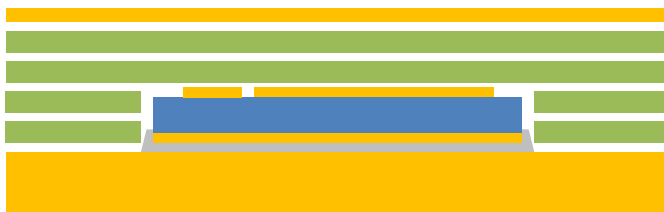
1. Leistungshalbleiter als „bare die“



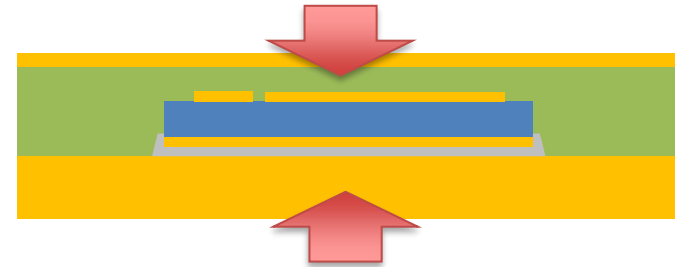
2. „Die-attach“ auf Kupfersubstrat



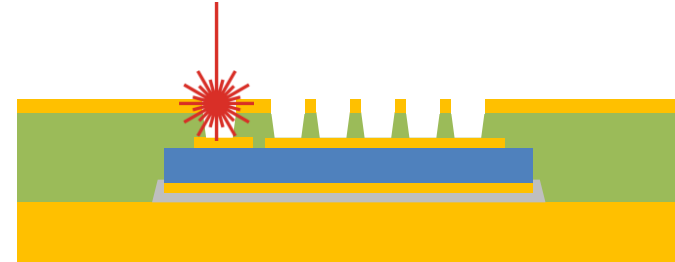
3. Schichten von Prepregs und Kupferfolie



4. Verpressen des Schichtaufbaus



5. Laser-Bohren der Kontaktlöcher



6. Galvanisches füllen der Kontaktlöcher
und strukturieren der Außenlage





1. Chip on Cu Substrate + microvias



2. Chip in Cavity + microvias

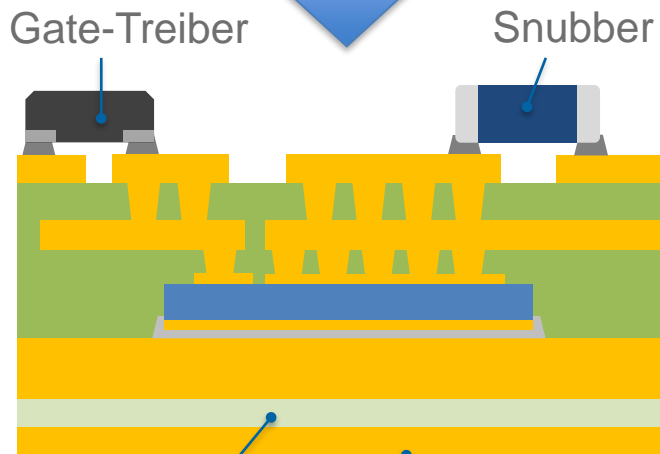
- Schweizer P²Pack [Gottwald, PCIM2014]
- ASE [Essig, ESTC 2016]



3. Double-side microvias

- AT&S ECP [Morianz, EMPC 2015]
- Würth [Wolf, ECPE Seminar Einbetttechnik 2021]

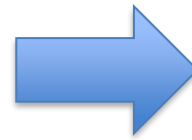
Technologie PCB (Pre-) Package vs System-in-Board



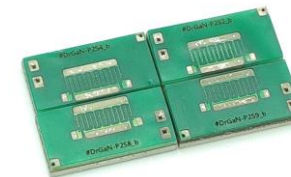
Gate-Treiber Snubber

Wärmeleitfähiger
Prepreg Kontaktfläche für
Kühlkörper

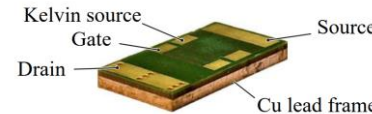
„PCB (Pre-)Package“



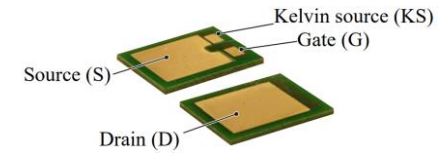
[GaN Systems]



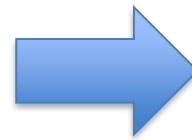
[Sharma, PCIM 2021]



[Risch, CIPS 2022]

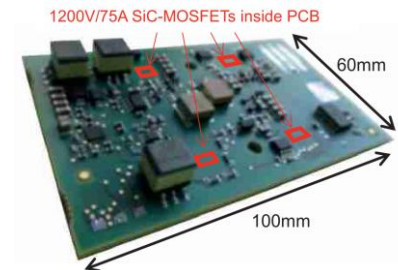


„System-in-Board“



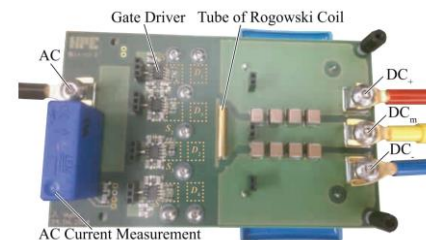
27kW SiC Antriebsumrichter

[Hensler, PCIM 2017]



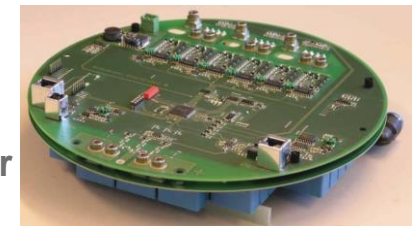
30 kW PFC Gleichrichter

[Wyss, EPE 2016]



32 kW Antriebsumrichter

[Gottwald, ESTC 2018]



Agenda



Einführung



Stand der Technik



Herausforderungen

- Isolationsfestigkeit
- Lastwechselfestigkeit

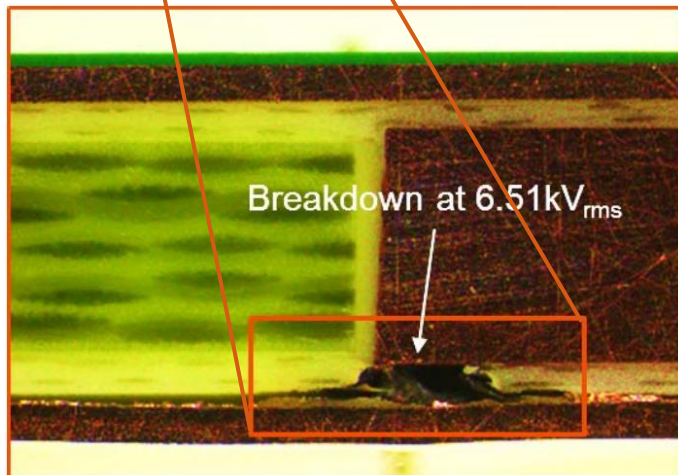
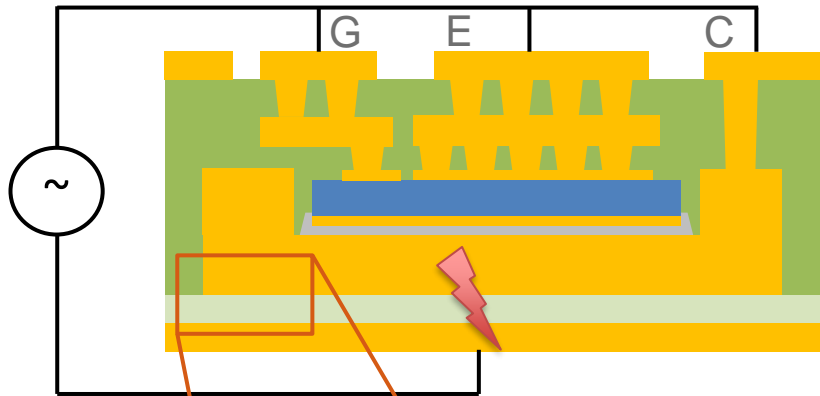
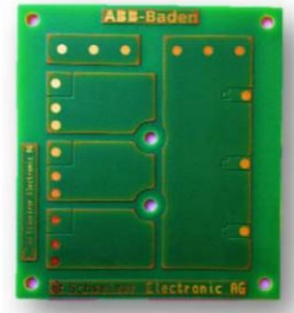


Zusammenfassung
und Ausblick

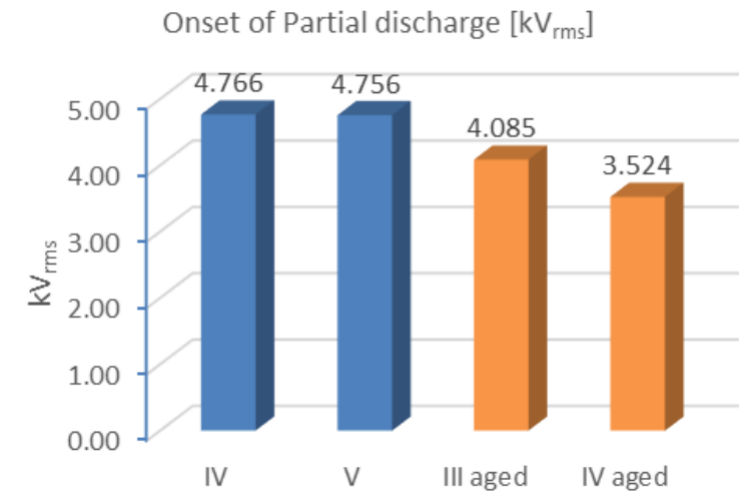
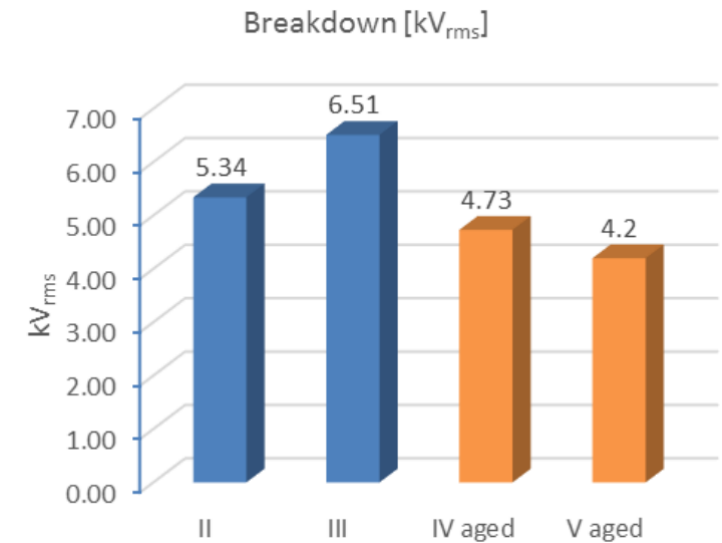
Herausforderungen Isolationsfestigkeit

Studie von ABB [Kearney, CIPS 2016]

- IGBT Modul 6x 1200V / 25 A
- Schweizer P²Pack Technologie



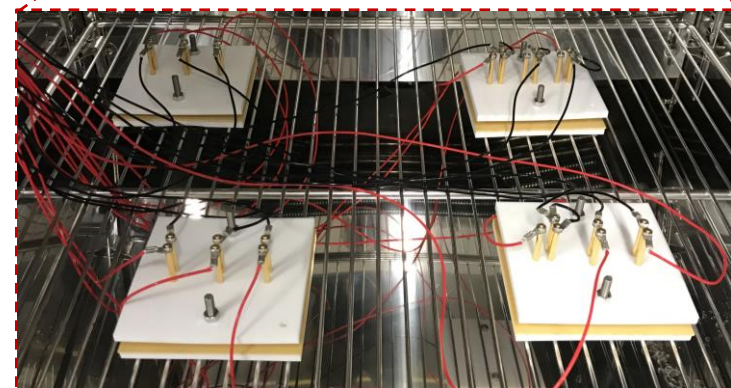
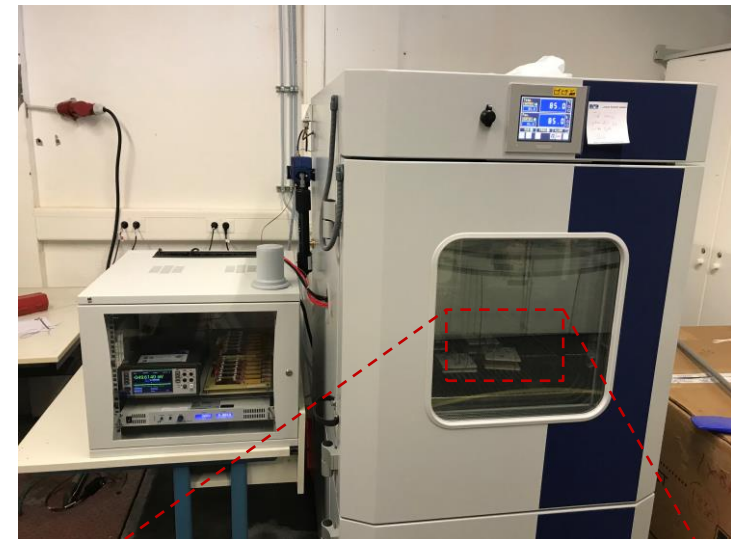
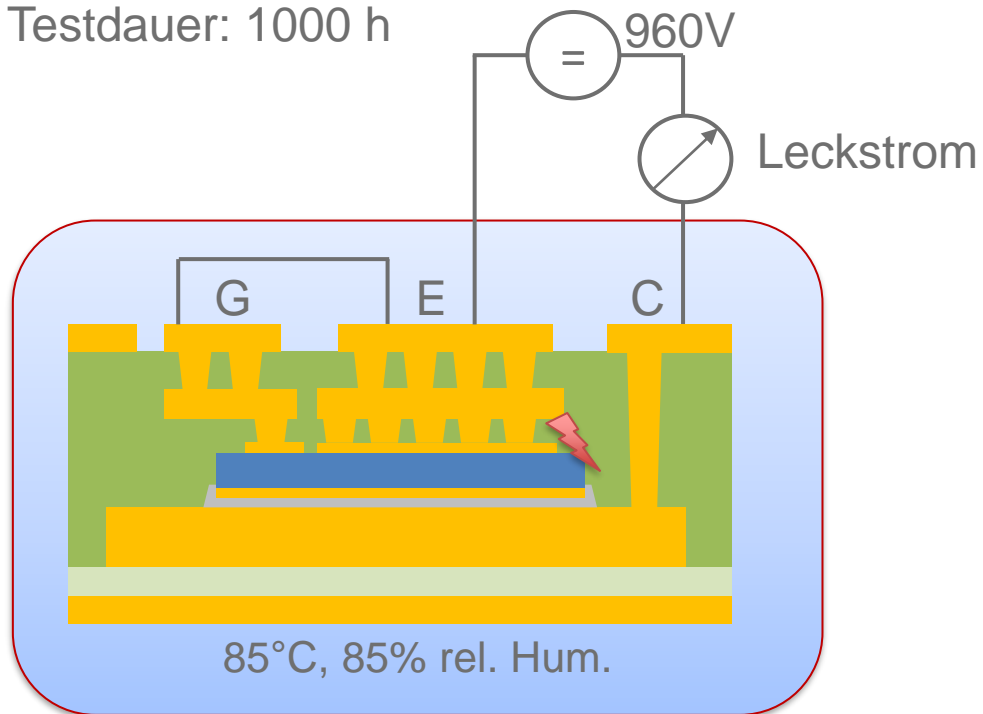
Alterung durch 500
Temperaturwechsel
-40/150°C



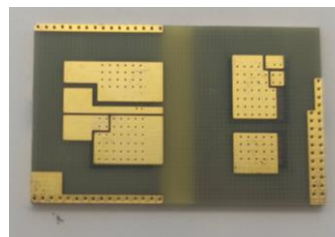
Herausforderungen Isolationsfestigkeit

High Temperature High Humidity Reverse Bias (H3TRB) Test

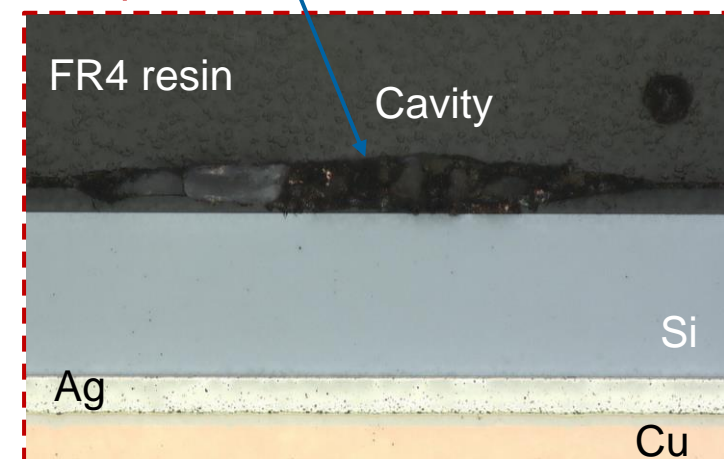
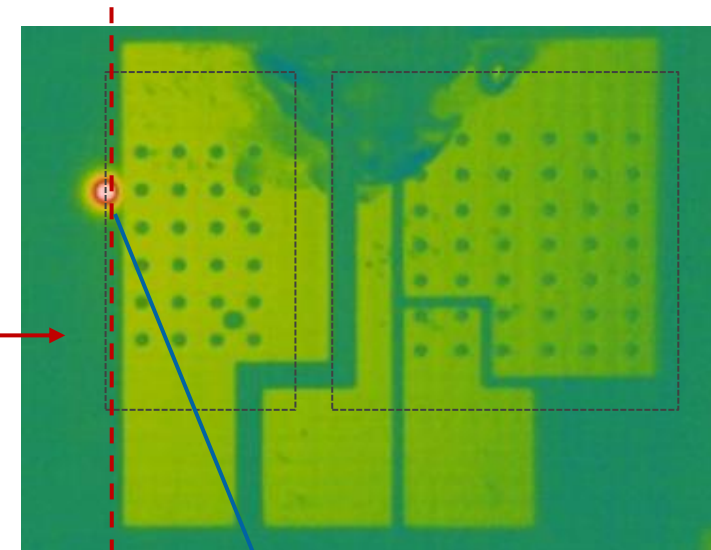
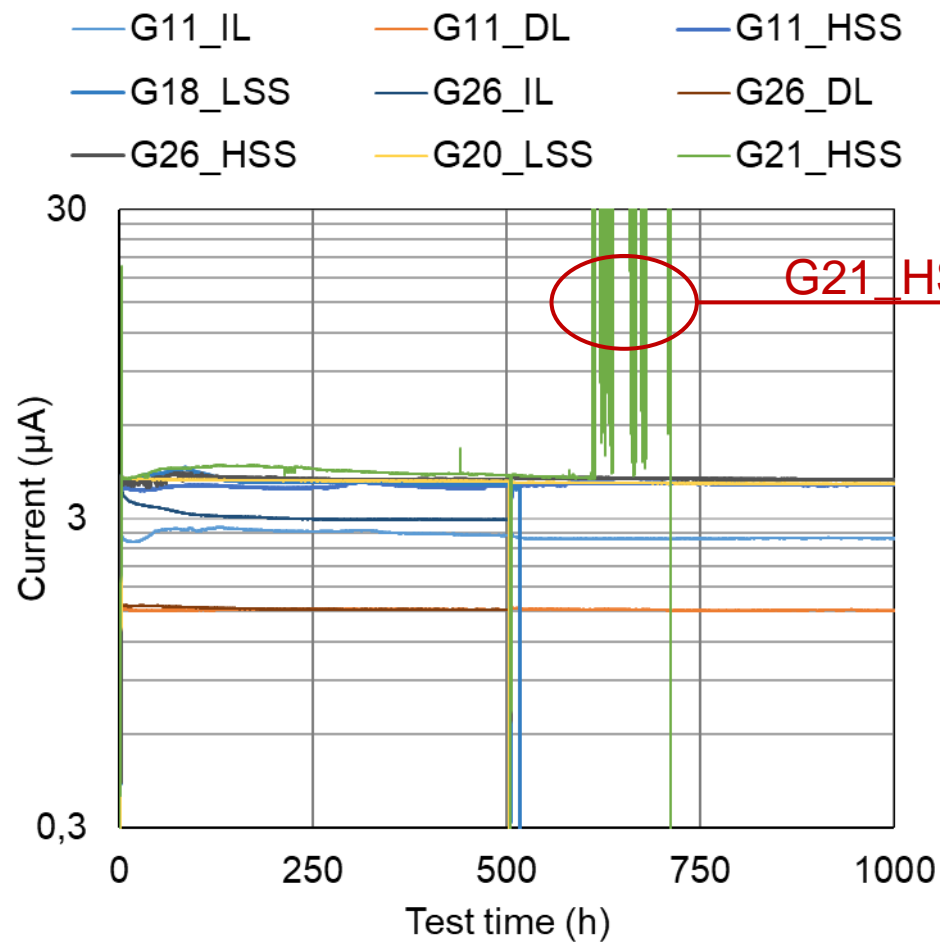
Testdauer: 1000 h



DUT
Halbbrücken-Prepackage
1200V / 50A IGBT / Diode

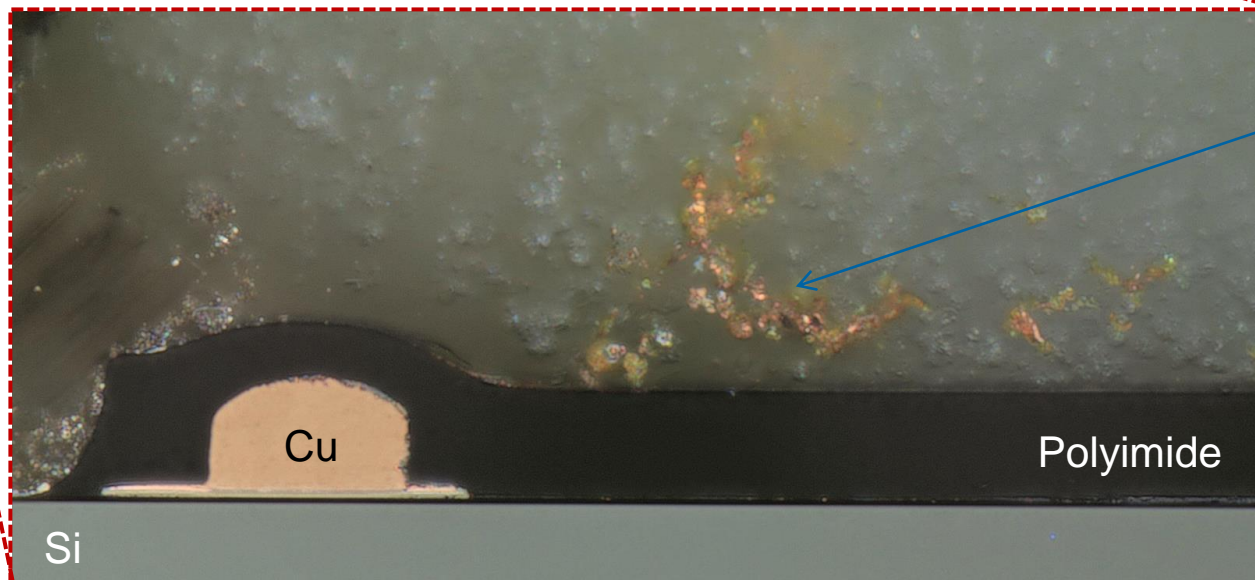
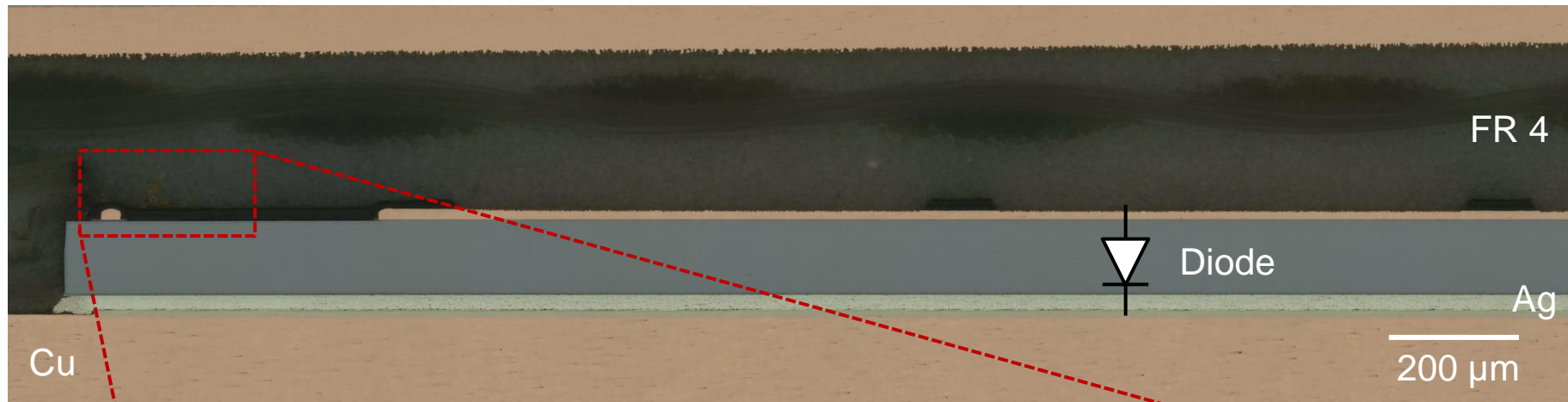


Herausforderungen Isolationsfestigkeit



[submitted for presentation at ESREF 2022]

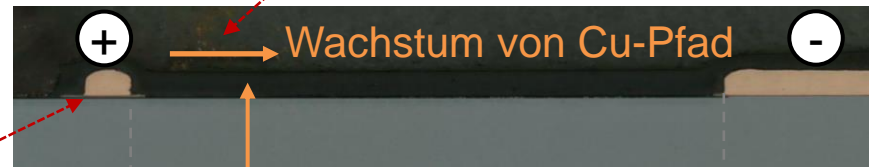
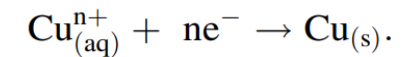
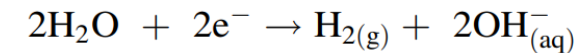
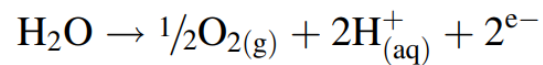
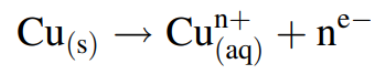
Herausforderungen Isolationsfestigkeit



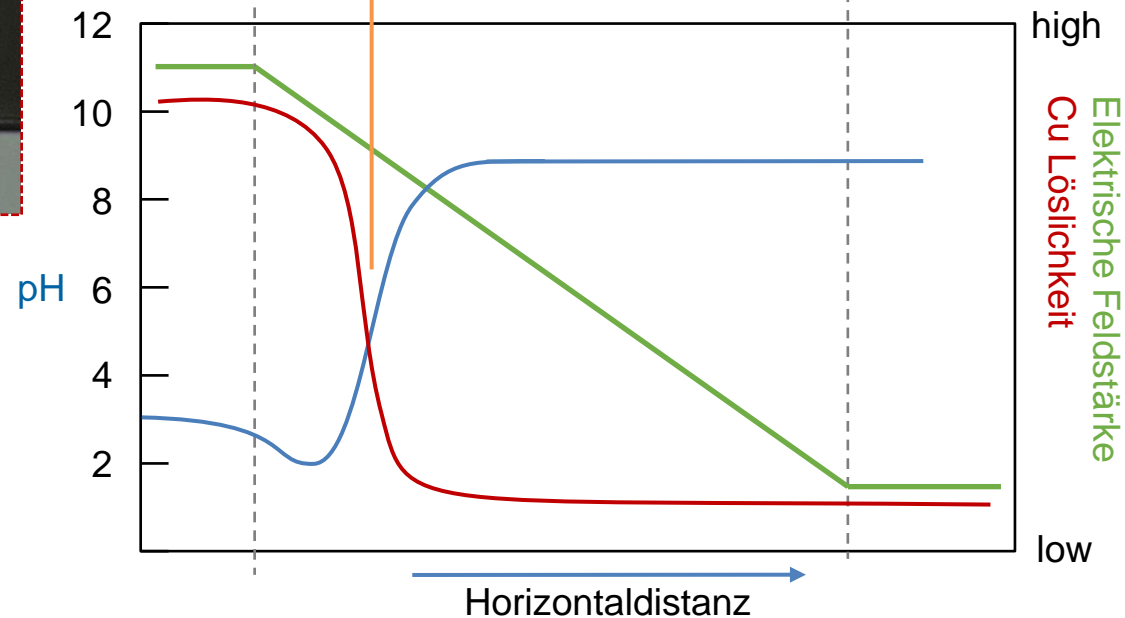
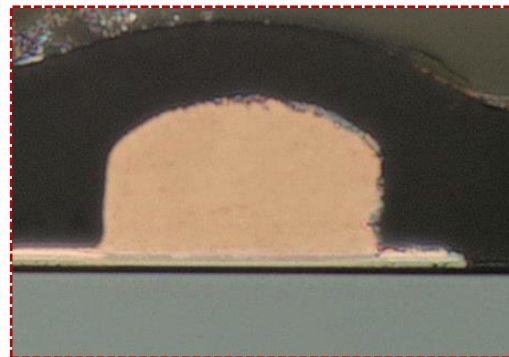
[submitted for presentation at ESREF 2022]

Herausforderungen Isolationsfestigkeit

Conductive anodic filament (CAF) Wirkmechanismus

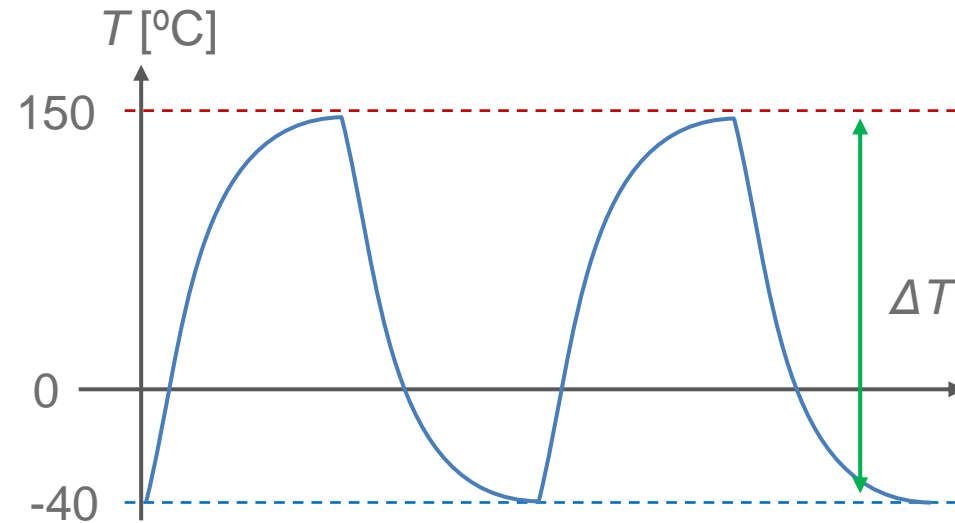
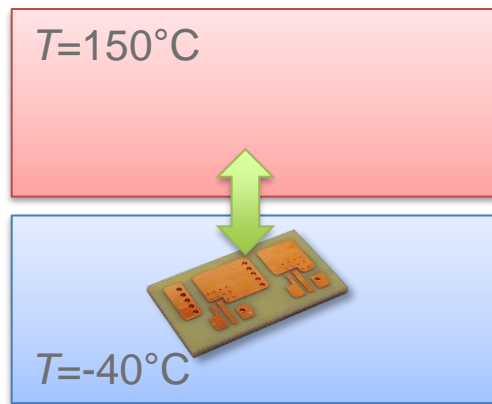


Fällung von Cu-Salz

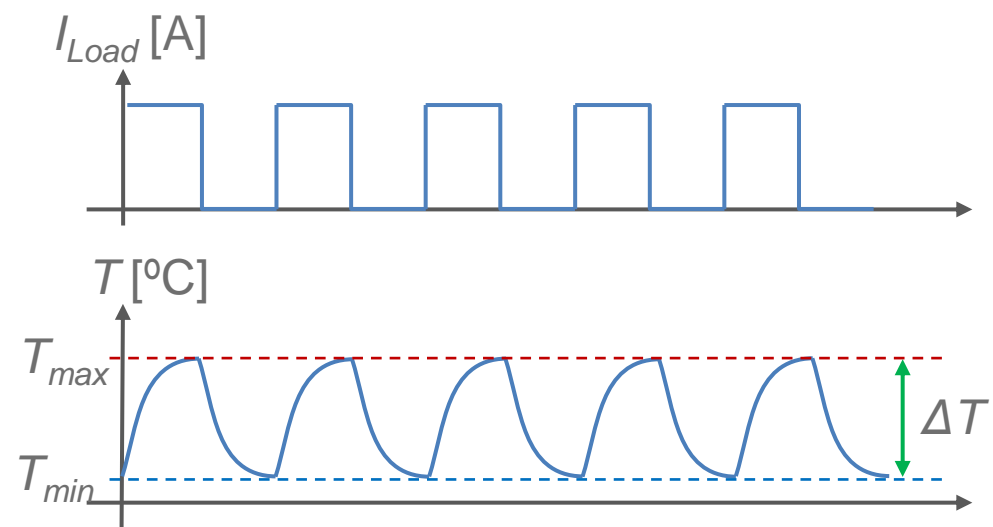
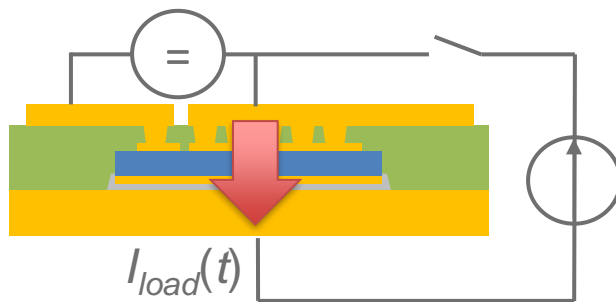


Herausforderungen Lastwechselfestigkeit

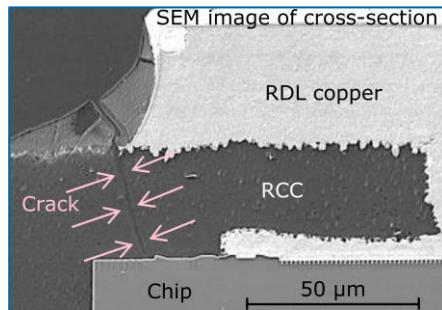
Passiver Temperaturwechsel Test



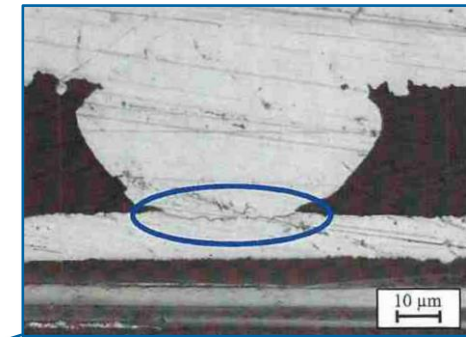
Aktiver Lastwechseltest



Herausforderungen Lastwechselfestigkeit

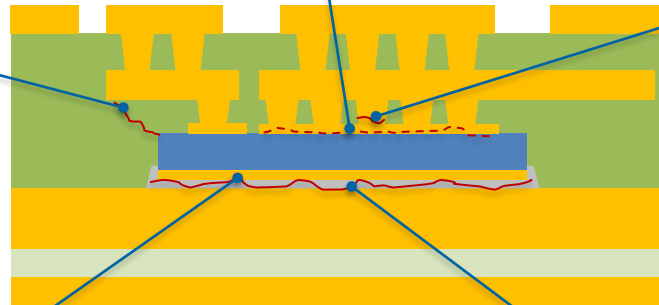


Bruch des Chipmetallisierung



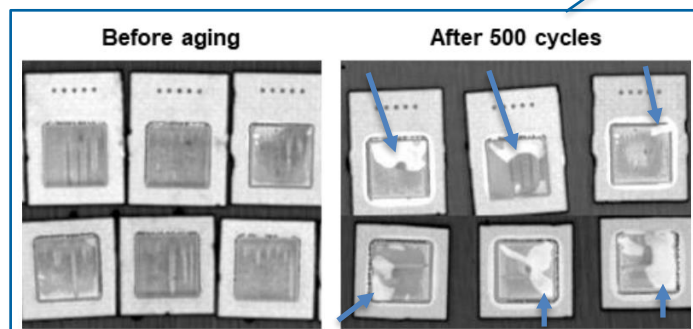
Bruch des Laminates

-55/150°C Temperaturwechsel
150°C Hochtemperaturlagerung
[Munding, ECTC 2017]



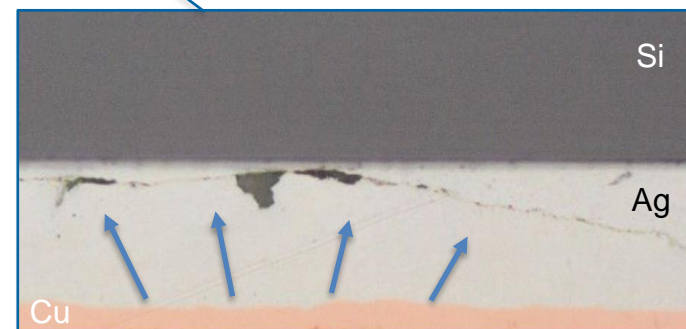
Bruch des Microvia

Nach 220.000 aktiven
Lastwechsel (30/130°C)
[Dechant, Microelectr. Rel. 2019]



Delamination des „Die-Attach“

-40/150°C (liq./liq.) Temperaturwechsel
[Pavlicek, CIPS 2022]

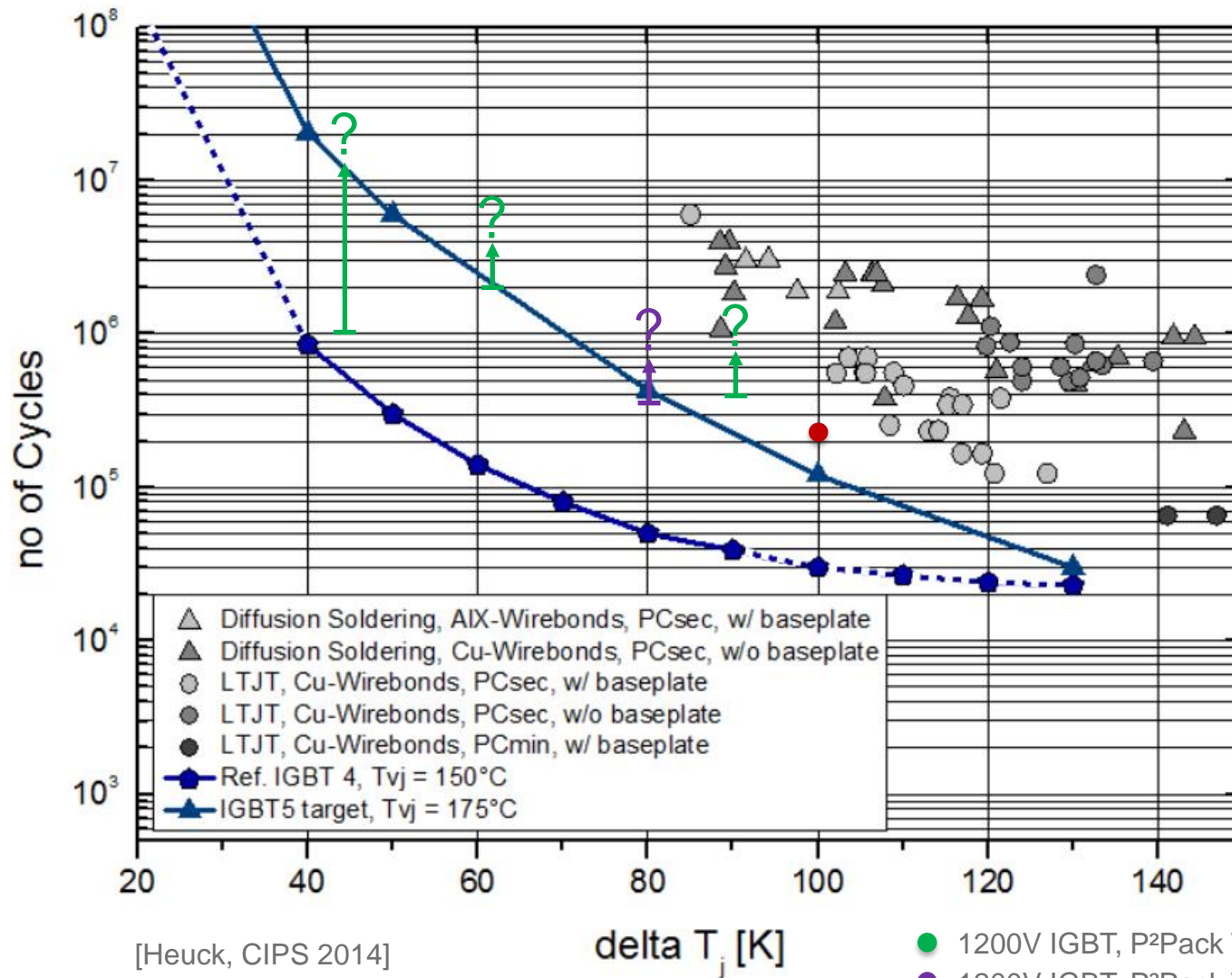


Delamination des „Die-Attach“

1000 Temperaturwechsel -40/200°C (air/air)
[Birkhold, EBL 2020]

Herausforderungen

Benchmark Lastwechselfestigkeit

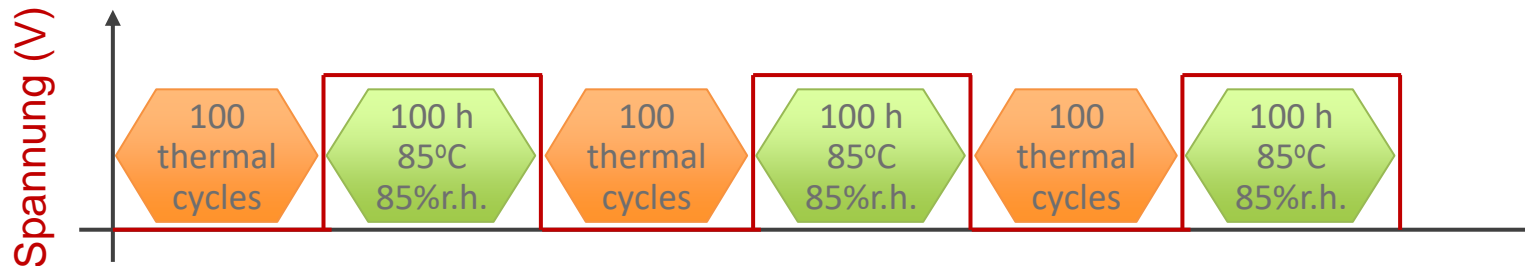


[Heuck, CIPS 2014]

- 1200V IGBT, P²Pack Technology Ag-sintered [Kearney, CIPS 2016]
- 1200V IGBT, P²Pack Technology Ag-sintered [Randoll, CIPS 2018]
- 650V, GaN HEMT, double-side μ -via [Dechant, CIPS 2019]

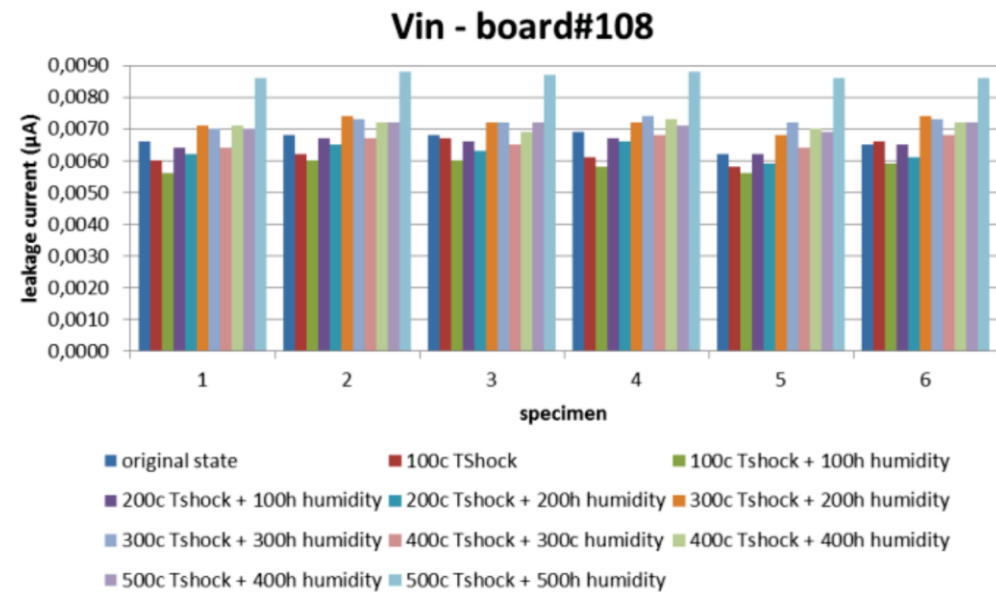
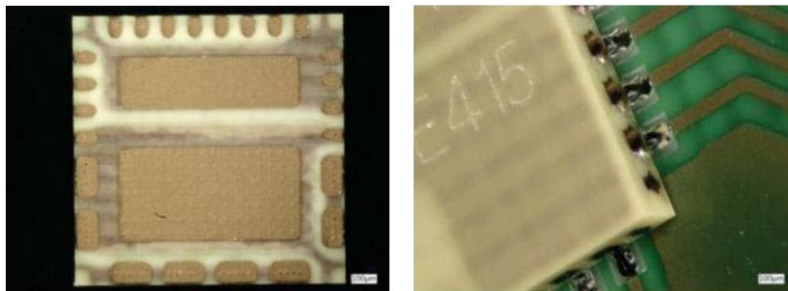
Herausforderungen Kombinierte Lastprofile

Kombination von Temperaturwechseltest und H3TRB Test



Multi-Chip Embedded Package

- Logikchip + 2 Leistungs-MOSFET
- Input Voltage 18 V
- Limit für Leckstrom: 2 μA



[Frühauf, ESTC 2018]

Agenda



Einführung



Stand der Technik



Herausforderungen



**Zusammenfassung
und Ausblick**

Zusammenfassung

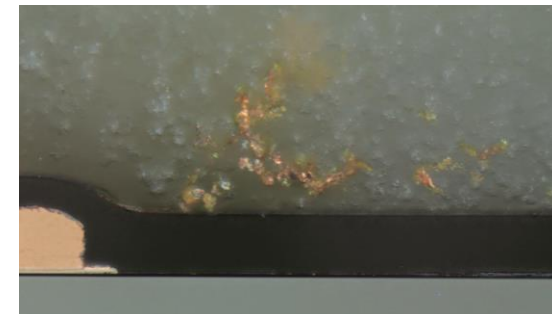
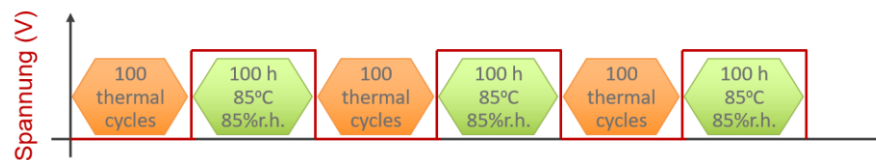
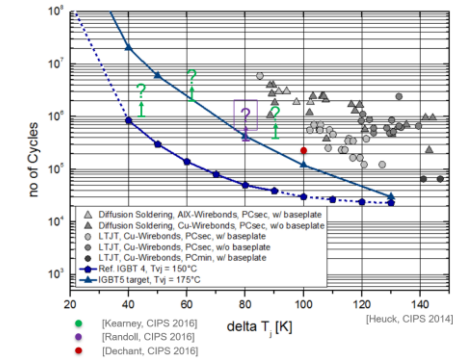
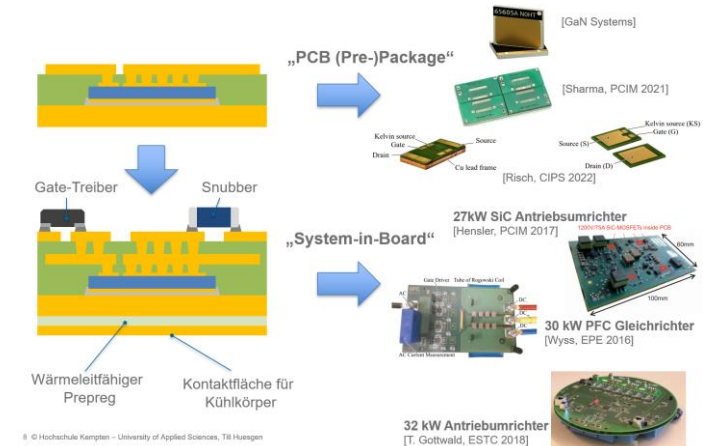
Es existieren unterschiedliche Verfahren und zahlreiche Anbieter für Leiterplattenembedding.

Unterschiedliche (Forschungs-) Demonstratoren zeigen die elektrische und thermische Leistungsfähigkeit der Technologie.

Eine hohe Lastwechselfestigkeit wurde gezeigt.

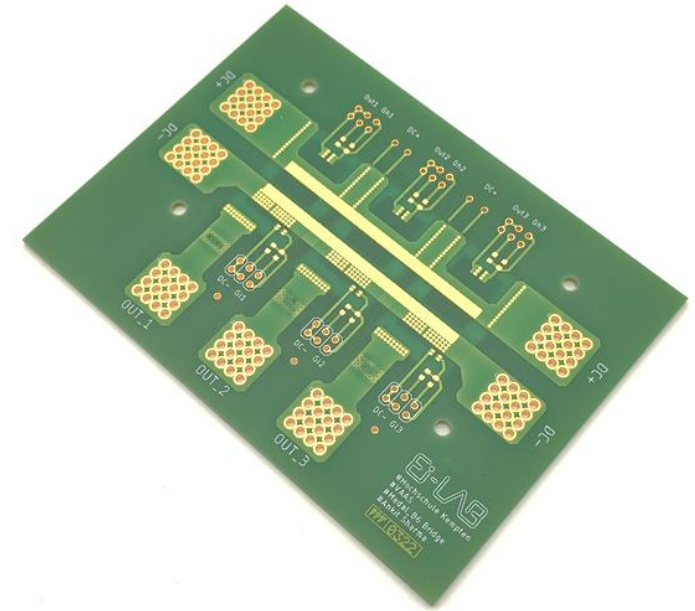
Feuchteinduzierte Kupfer-Korrosion (CAF) wurde bei 1200 V Bauteilen nachgewiesen.

CAF kann (v.a. in Kombination mit thermischen Lastwechseln) die Lebensdauer von Hochspannungsmodule (>600V) limitieren.



Danksagung

Vielen Dank für die Aufmerksamkeit!



Finanzielle Unterstützung



Supported by:



on the basis of a decision
by the German Bundestag

