

GaN Leistungsmodul mit IMS Substrat für eine 3-Level-Flying-Capacitorschaltung an 800 V DC

Wituski, Janusz; Kleimaier, Alexander

Hochschule Landshut

<https://doi.org/10.57688/369>

Kurzfassung

In Hybrid- und Brennstoffzellenfahrzeugen werden Traktionsbatterie und Brennstoffzelle über einen DCDC-Wandler an das Hochvoltbordnetz angebunden, um die Bordnetzspannung zu stabilisieren und das gewünschte Spannungsniveau einzustellen, typischer Weise 800 V. Um die passiven Komponenten (Drossel, Kondensator) entsprechend leicht und kompakt gestalten zu können, sind möglichst hohe Schaltfrequenzen des DCDC-Wandlers notwendig. Gleiches gilt für den elektrischen Turbokompressor, welcher für Brennstoffzellen benötigt wird – hier muss der speisende Inverter besondere Anforderungen erfüllen, z.B. einen sehr niedrigen Stromripple.

Die idealer Weise erforderlichen Schaltfrequenzen von über 300 kHz sind derzeit nur mit GaN-Transistoren umsetzbar. Das Spannungsfenster im Hochvoltbordnetz reicht aktuell bis 800 Volt, GaN-Transistoren sind derzeit allerdings nur für Sperrspannungen bis 650 Volt auf dem Markt verfügbar. Aufgrund dessen ist der Einsatz einer 3-Level-Topologie notwendig, welche des Weiteren Vorteile hinsichtlich EMV bietet. Jedoch stellt dies höhere Anforderungen an Schaltungstopologie und Schaltungsträgerlayout als bei einer vergleichbaren, standardmäßig eingesetzten 2-Leveltopologie mit 1200 V-Halbleitern.

1. Schaltungstopologien für DCDC-Wandler und Wechselrichter

Verglichen werden drei Topologien mit jeweils 4 aktiven Schaltern, was sowohl Hochsetz-, Tiefsetz- als auch Wechselrichterbetrieb ermöglicht, siehe Abb. 1. Als Referenz dient eine 2-kanalige Halbbrücke mit 2-Punkt-Standardtopologie.

1.1. 2 Channel 2-Level Buck/Boost

Die 2-Channel 2-Level-Topologie wird als Referenzschaltung zur Untersuchung der 3-Level-Topologieschaltungen verwendet. Anstelle der Synchronschaltung der Schalter S1/S3 und S2/S4 ermöglicht der Zweikanalbetrieb mit 180° versetzter Taktung eine Reduktion des Summenstromrippels und des Zwischenkreiskondensatorstroms. Nachteilig gegenüber den Multileveltopologien ist das direkte Schalten an der Zwischenkreisspannung, was hinsichtlich EMV eine wichtige Rolle spielt.

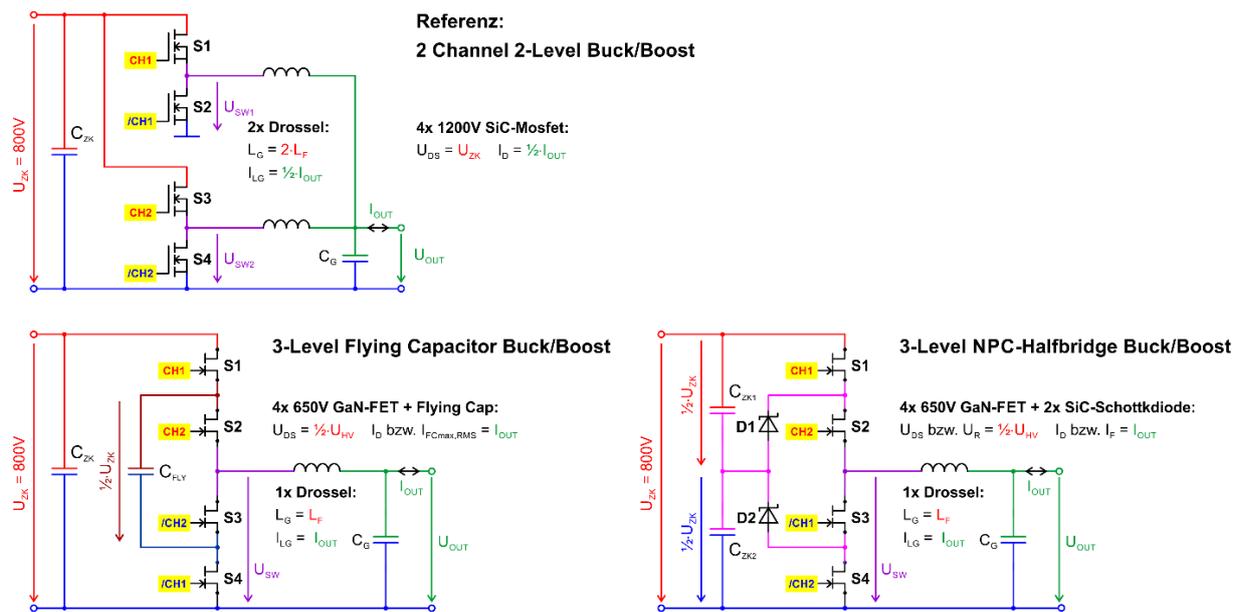


Abb. 1: Schaltungstopologien und Pulsmustererzeugung

Des Weiteren müssen die Ventile im Sperrzustand die volle Zwischenkreisspannung (plus Schaltüberschwinger) aufnehmen. Vorteilhaft ist wegen des Stromripples die Aufteilung in zwei Stromzweige; das bedeutet, dass sich der Gesamtstrom auf die zwei jeweils leitenden Ventile mit je $\frac{1}{2}$ ohm'schen Durchlassverlust aufteilt. Anstelle einer Drossel werden zwei Drosseln mit doppelter Induktivität und halbem Strom benötigt.

1.2. 3-Level-Flying-Capacitor Buck/Boost

Genau wie in Abschnitt 1.1 sind bei der 3-Level-Flying-Capacitor-Topologie jeweils immer zwei Schalter aktiv eingeschaltet, jedoch sind diese im Strompfad nicht parallel, sondern in Reihe geschaltet. Das bedeutet, dass beide aktiv leitenden Schalter nun den vollen Laststrom I_{OUT} führen, welcher in 1.1 auf zwei parallele Strompfade aufgeteilt war. Bei identischen Ventilen gilt für die Schalt- und Durchlassverluste in der 3-Level Topologie in Bezug zur 2-Channel 2-Level-Topologie:

- Reduzierung der spannungsbezogenen Schaltverluste um den Faktor $\frac{1}{2}$
- Erhöhung der strombezogenen Schaltverluste um den Faktor 2
- Erhöhung der ohm'schen Durchlassverluste um den Faktor 4

Zum sicheren Betrieb muss der Flying Capacitor C_{FLY} vor Pulsfreigabe auf die halbe Zwischenkreisspannung vorgeladen werden. Im laufenden Betrieb muss die Spannung an C_{FLY} durch einen zusätzlichen Regelkreis stabilisiert werden, um ein Wegdriften zu unterbinden. Bei Nichtbeachtung könnte die Sperrspannung der Ventile überschritten werden, was zur Zerstörung der Halbbrücke führt.

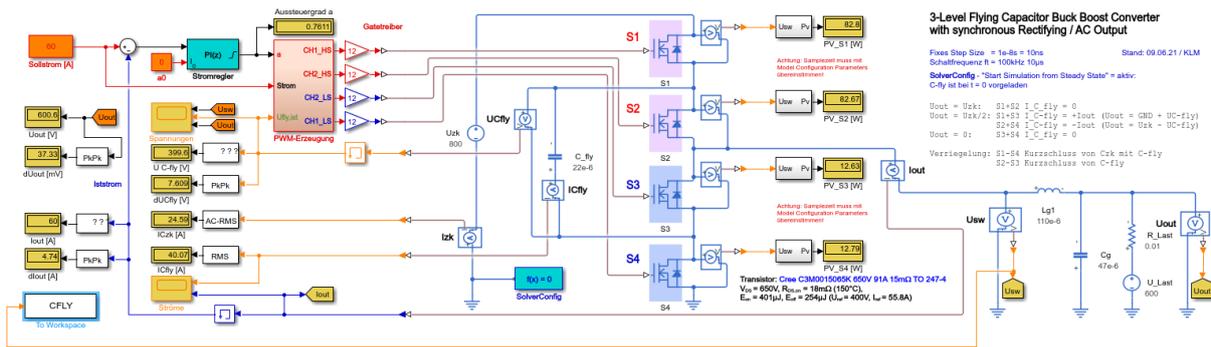


Abb. 2: Simulink Simulationsmodell 3-Level-Flying-Capacitor

1.3. 3-Level NPC-Halbbrücke Buck/Boost

Im Vergleich zur 3-Level-Flying-Capacitor-Topologie treten bei der 3-Level NPC-Halbbrückentopologie (NPC = Neutral Point Clamped) anstelle des Flying Capacitor zwei Mittelpunktdioden und ein geteilter Zwischenkreiskondensator. Je nach Aussteuerungsgrad und Dimensionierung können an den Dioden beträchtliche Durchlassverluste entstehen. Ein reiner DCDC-Wandlerbetrieb ist wegen der asymmetrischen Belastung des geteilten Zwischenkreises nicht möglich; bei Wechselrichterbetrieb teilt sich die Belastung 1:1 auf beide Kondensatoren auf. Wie in 1.2 gelten für diese Topologie hinsichtlich der Schalt- und Durchlassverluste dieselben Voraussetzungen. Gegenüber der Flying-Capacitorschaltung muss das jeweils aktiv schaltende Ventil jedoch mit der doppelten Taktfrequenz betrieben werden.

2. Untersuchung der Halbleiterverluste und des Fourierspektrums der Ausgangsspannung

2.1. Einzelbestückung der Halbbrückenschaltungen

In diesem Abschnitt werden die Halbleiterverluste und das Frequenzspektrum der Ausgangsspannung mithilfe von MATLAB Simulink Simulationsmodellen ermittelt. Um möglichst realitätsnahe Ergebnisse zu erzielen, werden alle Simulationsmodelle mit aktuell erhältlichen Bauelementen parametrisiert sowie die passiven Filterkomponenten angepasst. Die Eckdaten sind wie folgt festgelegt:

2 Channel 2-Level

Halbleiter: Cree C3M0032120J1 1200V 68A 32mΩ T0263-7L [1]
 $V_{DS} = 1200V$, $R_{DS,on} = 55m\Omega$ (150°C), $E_{on} = 360\mu J$, $E_{off} = 90\mu J$ ($U_{ref} = 800V$, $I_{ref} = 55,8A$)
Betriebspunkt: $I_{OUT} = +60A$, $f_T = 100\text{ kHz}$, $U_{ZK} = 800V$ Filter: $L_{g1/2} = 220\mu H$, $C_g = 47\mu F$

3-Level-Flying-Capacitor

Halbleiter: GS-065-150-1-D 650V E-Mode GaN DIE 650V 150 (vorläufiges Datenblatt)
 $V_{DS} = 650V$, $R_{DS,on} = 26m\Omega$ (150°C), $E_{on} = 374\mu J$, $E_{off} = 47\mu J$ ($U_{ref} = 400V$, $I_{ref} = 55,8A$)
Betriebspunkt: $I_{OUT} = +60A$, $f_T = 100\text{ kHz}$, $U_{ZK} = 800V$ Filter: $L_g = 110\mu H$, $C_g = 47\mu F$

3-Level-NPC

Halbleiter: GS-065-150-1-D 650V E-Mode GaN DIE 650V 150 (vorläufiges Datenblatt)

$V_{DS} = 650V$, $R_{DS,on} = 26m\Omega$ (150°C), $E_{on} = 374\mu J$, $E_{off} = 47\mu J$ ($U_{ref} = 400V$, $I_{ref} = 55,8A$)

Betriebspunkt: $I_{OUT} = +60A$, $f_T = 200$ kHz, $U_{ZK} = 800V$ Filter: $L_g = 110\mu H$, $C_g = 47\mu F$

Parameter	2 Channel 2-Level			3-Level-Flying-Capacitor			3-Level-NPC		
	a = ¼	a = ½	a = ¾	a = ¼	a = ½	a = ¾	a = ¼	a = ½	a = ¾
Halbleiter gesamt / W	173.25	175.39	172.96	283.14	279.42	282.74	283.47	232.97	281.29
Durchlassverluste / W	100.48	100.36	100.51	188.32	187.34	188.03	189.11	187.3	187.42
Schaltverluste / W	72.77	75.03	72.45	94.82	92.08	94.71	94.36	45.67	93.87

Tab. 1: Vergleich der Verluste bei Einzelbestückung der Zweige ($a =$ Aussteuergrad)

Die 3-Levelschaltungen schneiden im Vergleich zur 2 Channel 2-Level-Schaltung hinsichtlich der Gesamtverluste in der Größenordnung von 100 Watt schlechter ab. Aus Tabelle 1 ist ersichtlich, dass diese Differenz größtenteils auf die Durchlassverluste zurückzuführen ist. Diese entstehen aufgrund der Reihen- anstatt Parallelschaltung der stromleitenden Ventile und des somit größeren $R_{DS,on}$. Bei einem Aussteuerungsgrad von $a = \frac{1}{2}$ fallen bei der 3-Level-NPC-Schaltungen nur 45.67 W Schaltverluste an, weil der Neutralpunkt dauerhaft durchgeschaltet ist. Aus der Spektrumanalyse der gepulsten Ausgangsspannung (U_{1puls} bzw. U_{puls}) in Abbildung 3 ist ersichtlich, dass die 2 Channel 2-Level-Topologie ab 100 kHz sämtliche Harmonische aufweist. Dies ist hinsichtlich EMV bzw. der erforderlichen Filterauslegung ein entscheidender Nachteil.

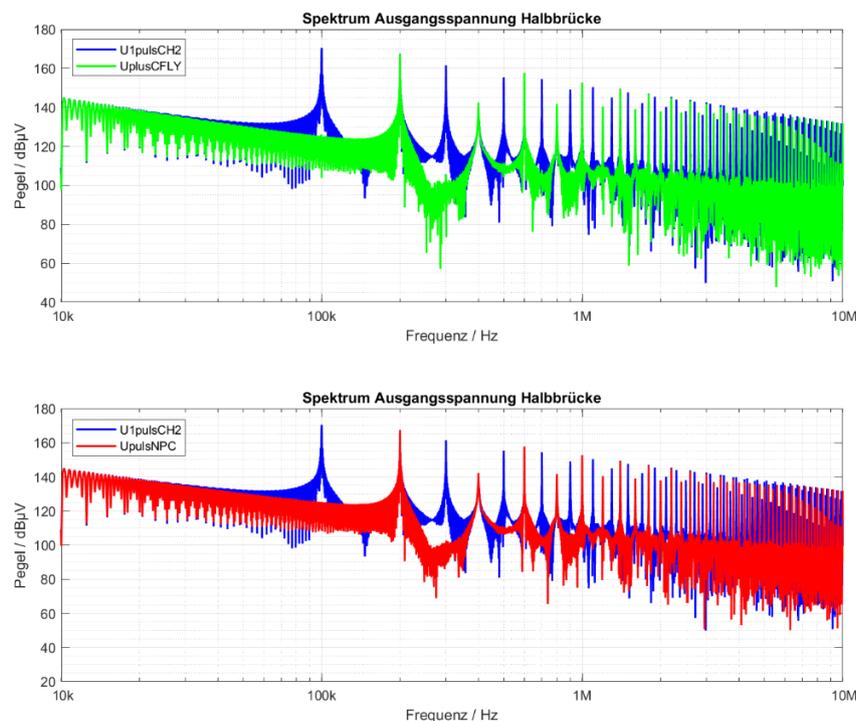


Abb. 3: Spektrum für $a = \frac{3}{4}$; Oben: 2 Ch. 2-Level versus 3-Level-Flying-Cap.
Unten: 2 Ch. 2-Level versus 3-Level-NPC

2.2. Parallelbestückung der 3-Levelschaltungen

Durch Parallelschaltung 2er GaN-Fets können der resultierende $R_{DS,on}$ und somit die Durchlassverluste bei den 3-Level-Topologien deutlich gesenkt werden. Dieser Vorteil wird jedoch durch eine Vergrößerung der Chipfläche erkauft, was prinzipiell ein Kostenfaktor ist und nur rentabel wird, wenn es für 650V-Transistoren einen entsprechenden Preisvorteil bezüglich der Chipfläche oder des $R_{DS,on}$ gibt.

Aus Tab. 2 ist ersichtlich, dass durch Parallelschaltung bzw. Chipflächenvergrößerung die Durchlassverluste der 3-Level-Topologien und somit die Gesamtverluste wesentlich gesenkt werden können. Der Nachteil gegenüber der 2 Channel 2-Level-Topologie aus Tab. 1 wird somit nahezu eliminiert. Die Spektrumanalyse liefert ein nahezu identisches Ergebnis wie zuvor in Abschnitt 2.1.

Parameter	2 Channel 2-Level			3-Level-Flying-Capacitor			3-Level-NPC		
	a = ¼	a = ½	a = ¾	a = ¼	a = ½	a = ¾	a = ¼	a = ½	a = ¾
Halbleiter gesamt / W	173.25	175.39	172.96	190.92	186.99	190.89	215.45	176.84	210.77
Durchlassverluste / W	100.48	100.36	100.51	95.89	94.72	95.95	121.11	140.26	116.74
Schaltverluste / W	72.77	75.03	72.45	95.03	92.27	94.94	94.34	36.58	94.03

Tab. 2: Verluste bei Doppelbestückung der 3-Levelschaltungen ($a = \text{Aussteuergrad}$)

Bei Multileveltopologien stehen bei der Pulsmustererzeugung zusätzliche Freiheitsgrade zur Verfügung. Das Potenzial der Ausgangsklemme kann somit mehrere Spannungslevel annehmen und ist nicht wie bei herkömmlichen 2-Level-Topologien auf $\pm U_d/2$ beschränkt; bei den beiden 3-Level-Topologien kann das Potenzial am Lastausgang noch zusätzlich den Wert 0 annehmen, womit eine feinere Spannungsabstufung möglich ist. Ein weiterer Vorteil ist die geringere Sperrspannungsbeanspruchung der Schaltelemente, so dass beispielsweise 650V-Schalter mit Hilfe von 3-Level-Topologien an den im Fahrzeugbereich zunehmend relevanten Zwischenkreisspannungen von 800 V überhaupt erst eingesetzt werden können. 650V-Transistoren besitzen in der Regel bessere Schalteigenschaften als solche mit einer Sperrspannung von 1200 V. Dies bietet zudem auch Vorteile bezüglich EMV, weil die Schaltflanken der halben Zwischenkreisspannung entsprechen. Das Ergebnis der Spektrumanalyse aus Abb. 3 unterstreicht diese Aussage; siehe dazu auch [2].

3. Gleichtaktstöreinprägung

Durch die gepulste Energieentnahme der Leistungselektronik aus dem Zwischenkreis können eingangsseitig signifikante leitungsgebundene Störungen hervorgerufen werden. Hauptsächlich Komponenten, welche direkt mit Pulsweitenmodulation (PWM) und großer Leistung angesteuert werden, sind für die Entstehung weiterer, ausgangseitiger Störungen verantwortlich, wie z.B. die Statorwicklung elektrischer Ma-

schinen. Um Störungen dieser Art möglichst zu reduzieren, wird die Leistungselektronik mit kleinstmöglicher Leitungslänge und ggf. geschirmt an die Last angebunden. Desweiteren können Filter zur Unterdrückung dieser Störeinflüsse eingesetzt werden. Die gängigsten Filterschaltungen sind X- bzw. Y-Kondensatorschaltungen in Verbindung mit speziellen Gegen- und Gleichtaktdrosseln als Filterelemente, siehe dazu beispielsweise [3]. Für spezielle Elektromaschinen bzw. Antriebe mit langen Zuleitungen werden Sinusfilter zur wirksamen Reduktion von Störungen bzw. des Stromripples eingesetzt, was jedoch mit erheblichem Bauteilaufwand verbunden ist.

3.1. Spektrumanalyse Gleichtakt-Störspannung

In diesem Abschnitt soll das Frequenzspektrum der Gleichtakt-Störspannungen mithilfe von MATLAB-Simulink/Simscape Simulationsmodellen für die in Abschnitt 1 beschriebenen Halbbrückentopologien ausgewertet werden. Als Abgriffpunkte für die Gleichtakt-Strompfade dienen die gepulsten Schalterpotenziale der jeweiligen Halbbrückentopologie, welche über Kondensatoren an die halbe Zwischenkreisspannung $U_d/2$ gekoppelt sind. Es werden dabei keine halbleitertypischen Schaltvorgänge, sondern lediglich ideale Schaltflanken mit 10ns Anstiegs- bzw. Abfallzeit betrachtet, entsprechend des sehr schnellen Schaltverhaltens von Wide-Bandgaphalbleitern. Das bildet den Effekt nach, dass Leiterflächen auf dem Schaltungsträgersubstrat mit gepulstem Potential bei jedem Schaltvorgang eine erhebliche Gleichtaktstörstromeinprägung verursachen, wobei sich gegenüber der Substratmassefläche eine Kapazität mit entsprechenden Verschiebungsströmen ausbildet, die über die Substratmasse abgeleitet werden müssen, siehe Abbildung 6 links-mitte „C_{CM}“. Die Zwischenkreispotentiale DC+ und DC- sind normaler Weise gegenüber der Masse symmetriert, liegen also auf $\pm U_d/2$. Die in diesem Abschnitt untersuchten 3-Level- und 2-Level-Topologien besitzen die gleichen Bauelementparameter wie in Abschnitt 2.1. Beispielhaft ist in Abb. 4 das entsprechend modifizierte Simulationsmodell für die 3-Level-Flying-Capacitor-Topologie abgebildet.

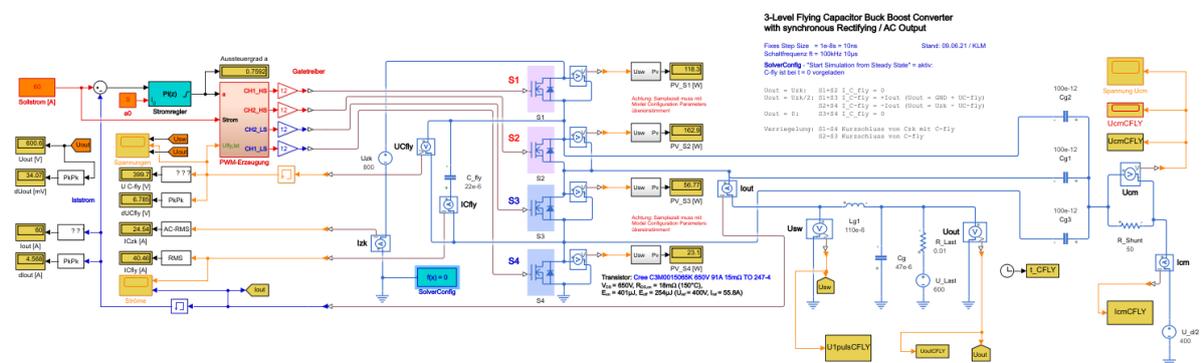


Abb. 4: Simulink Simulationsmodell 3-Level-Flying-Capacitor

3.2 Auswertung der Simulationsergebnisse

Das Simulationsergebnis der Spektrumanalyse ist grafisch in Abbildung 5 dargestellt. Es zeigt sich, dass hier die 2 Channel 2-Level-Topologie nur geringfügig schlechter im Vergleich zu den 3-Level-Topologien abschneidet. Das Spektrum der 3-Level-Flying-Capacitor-Topologie besitzt als einziges bei 100 kHz eine signifikante Linie. Diese zusätzliche Linie wird durch das obere und untere Brückenpotenzial (siehe Abb. 6, „C_{FLY+}“ und „C_{FLY-}“) erzeugt, welches mit Taktfrequenz $f_T = 100$ kHz gegen die Zwischenkreisschienen DC+ und DC- gepulst wird. Am Lastanschluss kommt es dann durch den Zweikanalbetrieb mit 180° versetzter Taktung zu einer Überlagerung der gepulsten Spannungsverläufe, aufgrund dessen beträgt die Pulsfrequenz am Lastanschluss der Flying-Capacitor-Schaltung dann 200 kHz, was günstig für die Filterdimensionierung ist. Letztlich ergibt sich bei den 3-Levelschaltungen jedoch kein Vorteil gegenüber der 2-kanaligen 2-Levelschaltung.

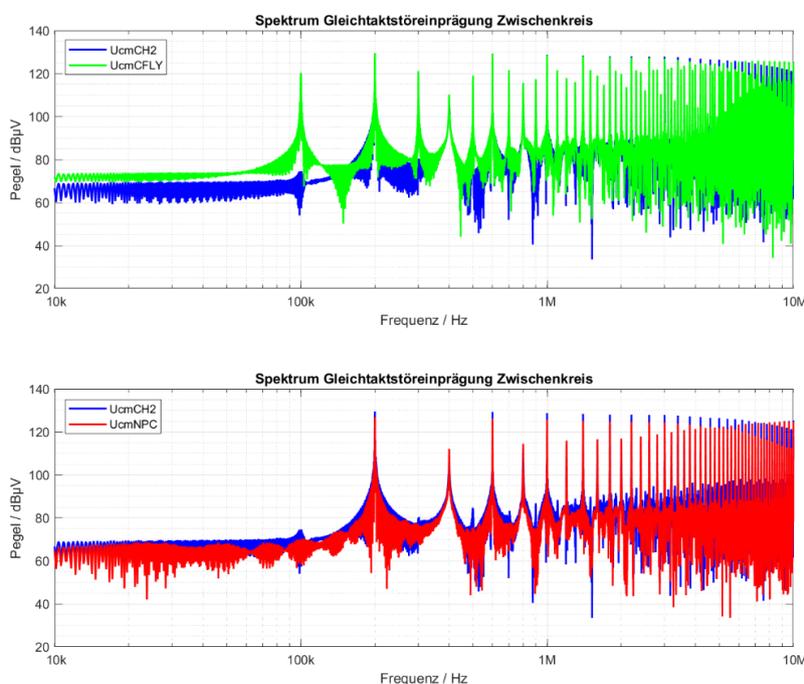


Abb. 5: Spektrum für $a = \frac{3}{4}$; Oben: 2 Ch. 2-Level versus 3-Level-Flying-Cap.
Unten: 2 Ch. 2-Level versus 3-Level-NPC

4. GaN Leistungsmodul mit IMS Substrat

Da sich die NPC-Schaltung nicht für DCDC-Wandlerbetrieb eignet, soll im folgenden die Flying-Capacitorschaltung weiter betrachtet werden. Wegen der jedoch eher ungünstigen Ergebnisse bezüglich Gleichtaktstörungen ist es ein wesentliches Ziel, diese bereits in ihrer Entstehung zu reduzieren, indem diese durch eine entsprechen angepasste Modulaufbautechnik abgeschirmt werden.

Prinzipiell ergibt sich bei einem klassischen Leistungsmodule Aufbau mit DCB-Substrat das Problem, dass die Leiterbahnen auf der DCB-Oberseite, die ein gepulstes Potential führen, erhebliche Gleichtaktstörungen erzeugen, da bei jedem Schaltvorgang ein entsprechender Verschiebungsstrom in die Massefläche "gepumpt" wird, und zwar über die Kapazität, die sich an ihrer Unterseite über die DCB-Keramik zur untenliegenden, mit den Kühlkörper geerdeten Substrat-Massefläche ergibt, siehe Bild 6 links.

Eine Aufbautechnologie mit IMS-Substrat und zusätzlicher Potentialführung über den unteren Layer vermindert diesen Effekt erheblich, da die untere, über Vias mit DC-verbundene Lage als Schirm gegen diese Störungen wirkt, siehe Bild 6 rechts. Dies konnte bereits mit einem ähnlichen Multilayersubstrat gezeigt werden [4]. Gleichzeitig lässt sich mit dieser Aufbautechnik eine extrem niedrige Kommuntierungskreisinduktivität erzielen, was Voraussetzung für einen Einsatz sehr schnellschaltender GaN-Transistoren ist. Mit einem vergleichbaren Aufbau konnte für eine 2-Levelschaltung bereits eine Streuinduktivität von nur 1.15 nH erzielt werden [4]; dieses Prinzip wird hier in einer für das IMS-Substrat angepassten Form weiter verwendet.

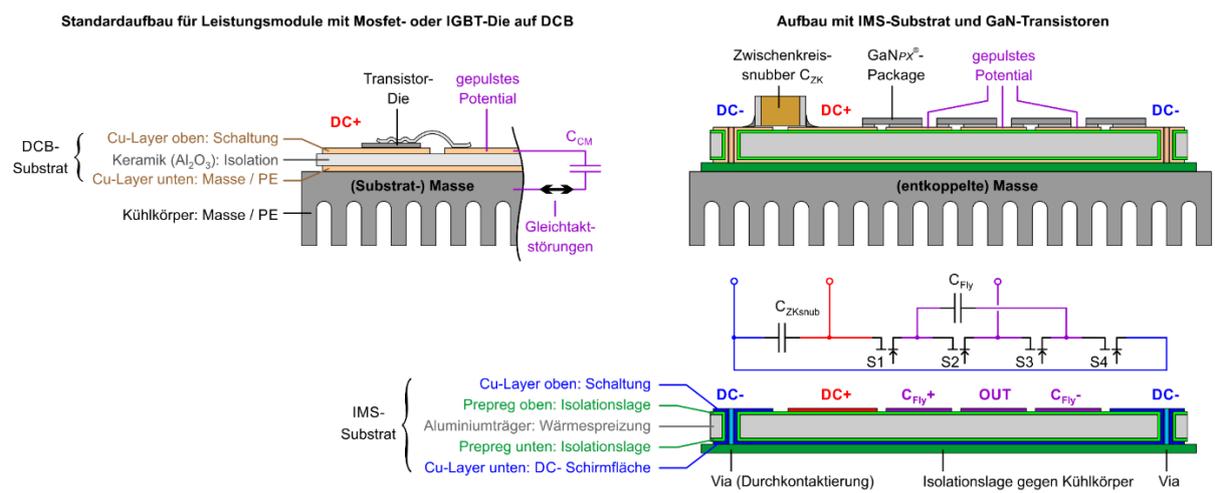


Abb. 6: Aufbau mit IMS-Substrat und schirmender Potentialführung der Lage DC-

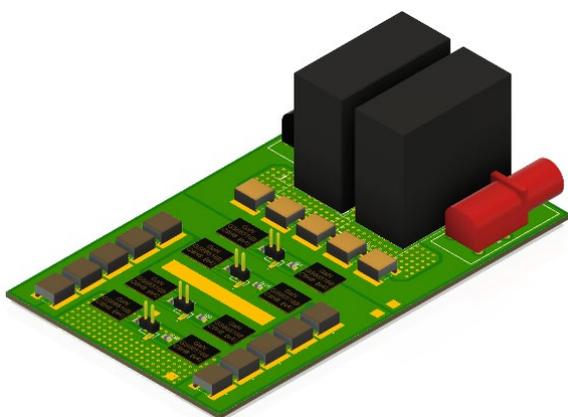


Abb 7: Layout des IMS-Substrates für die Halbbrücke mit 3-Level-Flying-Capacitor

Nachteilig bei dieser Aufbautechnik ist die Notwendigkeit von zwei Isolationslagen, was die Entwärmung der Leistungshalbleiter erschwert. Dies kann durch Nutzung des innenliegenden Aluminiumträgers zur Wärmespreizung voraussichtlich weitgehend kompensiert werden; Basis für die Überlegungen sind Untersuchungen mit Multilayersubstraten [4]. Erste Messungen zu der hier vorgestellten Version mit IMS-Substrat stehen noch aus, da die Schaltung gerade aufgebaut wird, siehe Abb. 7.

5. Fazit

Es wurden die 3-Levelschaltungen mit Flying Capacitor und mit NPC gegenüber einer 2 kanaligen 2-Levelschaltung hinsichtlich der zu erwartenden Verluste und der Gegen- bzw. Gleichtaktstörungen verglichen, wobei jeweils 4 Halbleiterschalter zum Einsatz kommen. Vorteil ist zunächst die Möglichkeit, 650 V GaN-Halbleiter an 800 V einsetzen zu können, nachteilig erscheinen bei den 3-Levelschaltungen die deutlich höheren Durchlassverluste. Diese können durch einen kleineren Durchlasswiderstand wieder reduziert werden, was bei Halbleitern geringerer Sperrspannung leichter realisierbar ist – gegenüber einer 2-Levelschaltung, wo 1200 V-Schalter erforderlich sind. Alternativ kann die Chipfläche vergrößert werden; dann müssen die 650 V-Halbleiter aber einen Kostenvorteil pro Chipfläche bieten. Hierfür spricht die zu erwartende Weiterentwicklung von GaN-Transistoren, die gegenüber Si- und SiC-Halbleitern ja erst am Anfang steht.

Für den Einsatz in einem DCDC-Wandler wurde die Flying Capacitor-Schaltung weiter betrachtet. Durch eine besondere Aufbautechnologie mit IMS-Substrat und internem Schirm können Nachteile bei Gleichtaktstörungen vermieden und eine besonders niedrige Kommutierungskreisinduktivität realisiert werden, was für den Einsatz extrem schnell schaltender Wide-Bandgaphalbleiter essentiell ist.

Literatur

- [1] Datenblatt C3M0032120J1. Cree Inc. (Wolfspeed), Durham, 2020.
- [2] Probst, Uwe: Leistungselektronik für Bachelors. Grundlagen und praktische Anwendungen. 4., aktualisierte und erweiterte Auflage, München, Hanser, 2020.
- [3] Rebholz, Heinz: Modellierung leitungsgebundener Störgrößen in der Komponenten- und Fahrzeugmessung. Universität Stuttgart, 13.10.2010.
- [4] Huber, T. ; Kleimaier, A.; Polster, S.; Mathieu, O.: Low Inductive SiC Power Module Design Using Ceramic Multilayer Substrates. International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management (PCIM Europe), Nürnberg, Juni 2018.

Kontakt

Hochschule Landshut
Am Lurzenhof 1
84036 Landshut

Janusz Wituski, M. Eng.
E-Mail: janusz.wituski@haw-landshut.de
Prof. Dr.-Ing. Alexander Kleimaier
E-Mail: alexander.kleimaier@haw-landshut.de